

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

009798738 **Image available**

WPI Acc No: 1994-078591/199410

Related WPI Acc No: 1993-307426; 1996-097182

XRPX Acc No: N94-061521

Logic circuit for latch circuit - is energised via high threshold
transistor to shorten delay time of logic circuit NoAbstract

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6029834	A	19940204	JP 92337898	A	19921126	199410 B

Priority Applications (No Type Date): JP 91323382 A 19911206; JP 91311007 A
19911126

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6029834	A	13	H03K-019/0948	

Abstract (Basic): JP 6029834 A Dwg.1/12

Title Terms: LOGIC; CIRCUIT; LATCH; CIRCUIT; ENERGISE; HIGH; THRESHOLD;
TRANSISTOR; SHORTENING; DELAY; TIME; LOGIC; CIRCUIT; NOABSTRACT

Derwent Class: U21; U22

International Patent Class (Main): H03K-019/0948

International Patent Class (Additional): H03K-003/356; H03K-019/00

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04385934 **Image available**

LOGIC CIRCUIT

PUB. NO.: **06-029834** [JP 6029834 A]

PUBLISHED: February 04, 1994 (19940204)

INVENTOR(s): DOUSEKI TAKAKUNI

 YAMADA JUNZO

 MATSUTANI YASUYUKI

 MUTO SHINICHIRO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese
 Company or Corporation), JP (Japan)

APPL. NO.: 04-337898 [JP 92337898]

FILED: November 26, 1992 (19921126)

INTL CLASS: [5] H03K-019/0948; H03K-003/356; H03K-019/00

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

JOURNAL: Section: E, Section No. 1545, Vol. 18, No. 240, Pg. 82, May
 09, 1994 (19940509)

ABSTRACT

PURPOSE: To provide a logic circuit which can work at a high speed despite the drop of the power voltage and also can reduce the power consumption in an inactive state.

CONSTITUTION: The power is supplied to a logic circuit 20 of a low threshold level from a 1st power line PL1 via a high threshold transistor TR TS1. At the same time, the power is supplied to the circuit 20 from a 2nd power line PL2 via a high threshold TR TS2. Therefore no current flows to the circuit 20 when both TR TS1 and TS2 are turned off. Furthermore the circuit 20 is suited to the operations of low voltage levels since a low threshold level is not required and the transmission delay can be reduced for the circuit 20.

(51) Int. Cl.⁵

識別記号

F I

H03K 19/0948

3/356

Z 8124-5J

19/00

A 8941-5J

8941-5J

H03K 19/094

B

審査請求 未請求 請求項の数5 (全13頁)

(21) 出願番号 特願平4-337898

(22) 出願日 平成4年(1992)11月26日

(31) 優先権主張番号 特願平3-311007

(32) 優先日 平3(1991)11月26日

(33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平3-323382

(32) 優先日 平3(1991)12月6日

(33) 優先権主張国 日本(JP)

(31) 優先権主張番号 特願平3-324512

(32) 優先日 平3(1991)12月9日

(33) 優先権主張国 日本(JP)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 道関 隆国

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 山田 順三

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 山川 政樹

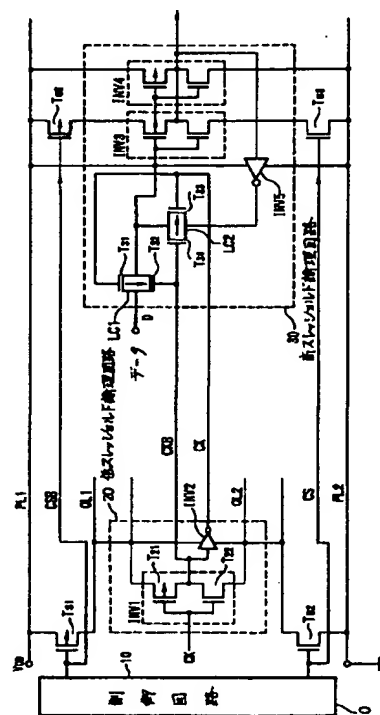
最終頁に続く

(54) 【発明の名称】 論理回路

(57) 【要約】

【目的】 電源電圧が低下しても高速動作が可能で、非動作時の消費電力を低減できるようにする。

【構成】 低スレッショルド論理回路20に対して第1の電源線PL1から高スレッショルドトランジスタTS1を介して電源を供給すると共に、第2の電源線PL2から高スレッショルドトランジスタTS2を介して電源を供給する。このため、トランジスタTS1、TS2がオフの時は低スレッショルド論理回路に電流が流れない。また低スレッショルド論理回路の閾値を低くする必要が無いので、伝播遅延が小さくでき、低電圧動作に適する。



【特許請求の範囲】

【請求項 1】 複数の低スレッシュホルドの電界効果トランジスタからなる論理回路要素を備えた低スレッシュホルド論理回路と、

前記低スレッシュホルド論理回路への電力供給源となる第 1 および第 2 の電源線対と、

前記低スレッシュホルド論理回路に電源を供給する電源供給回路とから構成され、

前記電源供給回路は、

前記低スレッシュホルド論理回路の電源端子の一つに接続される第 1 の疑似電源線およびこの第 1 の疑似電源線と第 1 の電源線との間に配置される高スレッシュホルドの第 1 の制御トランジスタとによって構成される第 1 電源供給回路と、

前記低スレッシュホルド論理回路の残りの電源回路に接続される第 2 の疑似電源線およびこの第 2 の疑似電源線と第 2 の電源線との間に接続される高スレッシュホルドの第 2 の制御トランジスタとによって構成される第 2 電源供給回路との双方あるいは一方から構成されることを特徴とする論理回路。

【請求項 2】 請求項 1 において、

第 1 の疑似電源線と第 1 の電源線の間、第 2 の疑似電源線と第 2 の電源線との双方あるいは一方にコンデンサを接続したことを特徴とする論理回路。

【請求項 3】 請求項 1 または請求項 2 において、

低スレッシュホルド論理回路は、複数段によって構成され、

第 1 の段は、

複数の低スレッシュホルドの電界効果トランジスタからなる論理回路要素を備えた第 1 の低スレッシュホルド論理回路、この第 1 の低スレッシュホルド論理回路に電力を供給するための第 1 および第 2 の電源線対、前記第 1 の低スレッシュホルド論理回路の電源端子の一つに接続される第 1 の疑似電源線、この第 1 の疑似電源線と第 1 の電源線との間に配置される高スレッシュホルドの第 1 の制御トランジスタによって構成され、

第 2 の電源線は第 1 の低スレッシュホルド回路の残りの電源端子に接続され、

この第 1 の段に続く第 2 の段は、

複数の低スレッシュホルドの電界効果トランジスタからなる論理回路要素を備えた第 2 の低スレッシュホルド論理回路、前記第 2 の低スレッシュホルド論理回路の電源端子の一つに接続される第 2 の疑似電源線、この第 2 の疑似電源線と第 2 の電源線との間に配置される高スレッシュホルドの第 1 の制御トランジスタとによって構成され、

第 2 の低スレッシュホルド回路の残りの電源端子は、第 1 の電源線に接続されていることを特徴とする論理回路。

【請求項 4】 複数の低スレッシュホルドの電界効果ト

ランジスタからなる論理回路要素を備えた低スレッシュホルド論理回路と、

この低スレッシュホルド論理回路に電力を供給するための第 1、第 2 の電源線対と、

前記低スレッシュホルド論理回路の電源端子のひとつに接続される第 1 の疑似電源線と、

この第 1 の疑似電源線と第 1 の電源線との間に配置される高スレッシュホルドの第 1 の制御トランジスタと前記低スレッシュホルド論理回路の残りの電源端子に接続される第 2 の疑似電源線と、

この第 2 の疑似電源線と第 2 の電源線との間に配置される高スレッシュホルドの第 2 の制御トランジスタと、

前記低スレッシュホルド論理回路の出力によって動作が制御される他の論理回路を有し、

この他の論理回路の電源端子は、前記第 1、第 2 の電源に接続されていることを特徴とする論理回路。

【請求項 5】 集積回路基板上に形成された複数の論理回路ブロックと、制御回路ブロックとを備え、

前記各論理回路ブロックは、

複数の低スレッシュホルドの電界効果トランジスタからなる論理回路要素を備えた低スレッシュホルド論理回路、この低スレッシュホルド論理回路に電力を供給するための第 1 および第 2 の電源線対、前記低スレッシュホルド論理回路の電源端子のひとつに接続される第 1 の疑似電源線、前記低スレッシュホルド論理回路の残りの電源端子に接続される第 2 の疑似電源線を含み、前記制御回路ブロックは、この第 1 の疑似電源線と第 1 の電源線との間に配置される高スレッシュホルドの第 1 の電界効果型制御トランジスタ、この第 2 の疑似電源線と第 2 の電源線との間に配置される高スレッシュホルドの第 2 の電界効果型制御トランジスタを含み、前記論理回路ブロック群の端に配置されることを特徴とする論理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、特に電源電圧が 1 V 以下のような低電圧で動作可能なラッチ回路に用いられる論理回路に関するものである。

【0002】

【従来の技術】従来のこの種論理回路は、CMOS 型論理ブロック回路で構成されているのが一般的であり、図 12 はその一例を示している。この例では、インバータ INV1、ナンドゲート NAND1・・・インバータ INV2 などの各論理素子が、それぞれスイッチングトランジスタ M1、M2・・・M3 とスイッチングトランジスタ M4、M5・・・M6 とを介して電源ライン VDD と VSS に接続されている。

【0003】そしてこのような構成のもとに、スイッチングトランジスタ M1、M2・・・M3 に高レベル制御信号 CSB、スイッチングトランジスタ M4、M5・・・

・M6に低レベル制御信号CSをそれぞれ供給して各論理素子の動作を制御する。

【0004】

【発明が解決しようとする課題】しかしながら、このような構成に用いられるスイッチングトランジスタは、単一のしきい値電圧をもつトランジスタのように構成されているため、以下のような問題を生じた。

【0005】例えば、乾電池動作を想定して、この論理回路の電源電圧を従来の5Vから1Vに低下させた場合、動作時(CS=Hレベル、CSB=Lレベル)には、各トランジスタのしきい値電圧と電源電圧が接近するため、各トランジスタの相互コンダクタンスが極端に小さくなり、各論理回路素子の遅延時間が大きくなる問題があった。

【0006】また論理回路を構成する各トランジスタのしきい値電圧を低下させると、非動作時(CS=Lレベル、CSB=Hレベル)にリーク電流が大きくなり、電池の寿命が極端に小さくなる。さらに、制御トランジスタが非導通状態になるため、記憶情報が破壊されるという問題も生じる。

【0007】本発明はこのような状況に鑑みてなされたもので、電源電圧が低下しても高速動作が可能で、非動作時の消費電力を低減できるようにしたものである。

【0008】

【課題を解決するための手段】このような課題を解決するために第1の発明は、図1に対応するもので、低スレッショルド論理回路(20)の電源端子(PL)の一つに接続される第1の疑似電源線(PL)および第1の疑似電源線と第1の電源線との間に配置される高スレッショルドの第1の制御トランジスタ(TS1)とによって構成される第1電源供給回路と、低スレッショルド論理回路の残りの電源回路(PL2)に接続される第2の疑似電源線(QL2)および第2の疑似電源線と第2の電源線との間に接続される高スレッショルドの第2の制御トランジスタ(TS2)とによって構成される第2電源供給回路との双方あるいは一方をそなえたものである。

【0009】第2の発明は図4に対応するもので第1の発明において、第1の疑似電源線と第1の電源線の間、第2の疑似電源線と第2の電源線との双方あるいは一方にコンデンサを接続したものである。

【0010】第3の発明は図7に対応するもので、第1の発明または第2の発明において、低スレッショルド論理回路は複数段によって構成し、各段は第1の電源線と第1の疑似電源線との間、または第2の電源線と第2の電源線との間に交互に高スレッショルドの電界効果トランジスタを備えたものである。

【0011】第4の発明は図1、図6、図7に対応するもので、第1の発明または第2の発明の回路の後段に他の論理回路(30)を備えたものである。

【0012】第5の発明は図10に対応するもので、集積回路基板上に形成された複数の論理回路ブロックと、制御回路ブロックとを備え、前記各論理回路ブロックは第1および第2の疑似電源線から電源が供給され、制御回路ブロックは第1および第2の電源線から高スレッショルドの電界効果トランジスタを介して電源が供給されるようにしたものである。

【0013】

【作用】低スレッショルドトランジスタは高スレッショルドトランジスタを介して電源が供給されるようになっているので、高スレッショルドトランジスタがオフの時は電流が流れない。

【0014】

【実施例】図1は本発明に係る論理回路の一実施例を示しており、クロック信号CKからそのクロック信号CKと、反転クロック信号CKBとを作る低スレッショルド論理回路20と、これらのクロックによって駆動される高スレッショルド論理回路の構成を示している。

【0015】同図において、制御回路10は後述する制御トランジスタをオン・オフさせるための制御信号CS、CSBを送出するものであり、制御信号CSBは制御信号CSを反転させた信号である。

【0016】また電界効果型MOS制御トランジスタは、記号Ts1およびTs2で表し、pチャンネル型のトランジスタTS1は、電源電圧VDDが供給される電源線PL1と、疑似電源線QL1との接続をオン/オフし、nチャンネル型トランジスタTS2は接地された電源線PL2と、疑似電源線QL2との接続をオン/オフする機能を有する。

【0017】低スレッショルドのCMOS素子で構成された低スレッショルド回路20は、本例ではクロック信号CKから反転クロック信号CKBを作るために2個のインバータINV1、INV2として構成されている。たとえば、インバータINV1は出力電極が縦属接続され、入力電極が共通接続された低スレッショルドの2個のMOSトランジスタT21およびトランジスタT22によって構成され、トランジスタT21はpチャンネル型、トランジスタT22はnチャンネル型を用いている。

【0018】また、トランジスタT21の出力電極の一つは疑似電源線QL1に接続され、トランジスタT22の出力電極の一つは疑似電源線QL2に接続されている。更に、インバータINV2も入力としてインバータINV1の出力を受けている点を除いてはインバータINV1と同じ構成であり、そのため簡略化した記号で示している。

【0019】本発明では低スレッショルド回路を20を構成するすべての論理素子に対して共通の疑似電源線QL1、QL2が接続されている。そして疑似電源線QL1はトランジスタTs1の出力電極を介して電源線PL1(たとえばVDDの電位)に接続され、疑似電源線QL

2はトランジスタTS2の出力電極を介して電源線（たとえば接地電位）に接続されている。

【0020】この低スレッシュホールド回路の構成はあくまでも一例であり、用途あるいはその他の要因を考慮してアンドゲート、オアゲート、ナンドゲート等の論理要素を用いて種々の構成に組み立てられる。したがって、このスレッシュホールド回路20はこの実施例の回路に限定されない。なお、トランジスタTS1およびTS2の入力電極にはそれぞれ、制御信号CSBおよびCSが供給される。

【0021】また、高スレッシュホールドのCMOS素子で構成された高スレッシュホールド論理回路30は、2個のトランスファゲートLC1およびLC2と、3個のインバータINV3、INV4、INV5とを有するラッチ回路によって構成され、このラッチ回路は、2個の高スレッシュホールド形を有するMOS電界効果トランジスタTS5および、TS6を介して電力の供給が制御される。

【0022】この場合、トランジスタTS5はpチャンネル型であり、トランジスタTS6は、nチャンネル型である。また、トランスファゲートLC1は2個の低スレッシュホールド電圧の電界効果型MOSトランジスタT31とT32とによって構成され、これらのトランジスタの出力電極は、共通接続され、一つは、データが入力される端子Dに接続され、もう一つはインバータINV3の入力側に接続されている。

【0023】そしてトランジスタT31の入力電極には、クロックCKが供給され、トランジスタT32の入力電極には、反転クロック（CKバー）CKBが供給されている。トランスファゲートLC2もトランスファゲートLC1と同様な構成であり、出力電極の一つはトランスファゲートLC1の出力側に接続され、出力電極のもう一つは、インバータINV3の入力側に接続されている。

【0024】インバータINV3、INV4、INV5は、インバータINV1と同じ構成であり、インバータINV3を構成する各トランジスタは、低スレッシュホールドのMOSトランジスタによって構成されているが、インバータINV4およびインバータINV5のトランジスタは、高スレッシュホールドのトランジスタによって構成されている。なお、トランスファゲートLC2を構成する各トランジスタは、低スレッシュホールドでも高スレッシュホールドのどちらのタイプのトランジスタでもよい。

【0025】つぎに、インバータINV3の出力電極の一つは、高スレッシュホールドのトランジスタTS5を介して電源線PL1に接続され、インバータINV3の出力のもう一つは、高スレッシュホールドのトランジスタTS6を介して電源線PL2に接続されている。そしてトランジスタTS5の入力電極には、制御信号CSBが供給されており、トランジスタTS6の入力電極には、制御信号CS

が供給されている。

【0026】またインバータINV4はインバータINV3に対して並列に接続され、インバータINV3との相違は、トランジスタTS5およびトランジスタTS6のようなトランジスタを介することなく、直列接続されたトランジスタの出力電極は、直接に電源線PL1およびPL2へ接続されている。そして、各インバータINV3およびINV4の出力側は共通に接続され、このラッチ回路の出力として後段に送出されるように構成されている。

【0027】また、このラッチ回路ではこれらのインバータINV3およびINV4の出力側と、トランスファゲートLC2の出力電極の一つとの間に、もう一つのインバータINV5が接続されている。このインバータINV5は、2個の高スレッシュホールドのトランジスタによって構成され、前述したインバータINV4と同様に電源線PL1、PL2に直接接続されている。

【0028】このような構成において、制御回路10から制御信号CSおよびCSBが送出されたときの状態を具体的に説明すると、低レベルの選択制御信号CSBおよび選択制御信号CSが所定電極に供給されると、高スレッシュホールドの制御トランジスタTS1およびトランジスタTS2が導通状態となり、疑似電源線QL1およびQL2に電位が現われる。

【0029】これにより低スレッシュホールド回路20を構成する各論理素子は電源電圧が印加された状態となり、クロックCKおよびクロックCKBに従った論理動作を行う。このとき、低スレッシュホールド回路20の各論理素子はスレッシュホールドが小さいため、電源電圧が低下しても高速動作が可能となる。

【0030】つぎに、制御信号CSおよび、CSBが選択されない場合、すなわちこれらの信号がトランジスタTS1およびトランジスタTS2に供給されず、これらのトランジスタが非導通状態にある場合には、疑似電源線QL1、QL2に電源電圧が現われず、低スレッシュホールド回路20には電源電圧が印加されないことになる。

【0031】換言すれば、この低スレッシュホールド回路20は非動作状態におかれることになる。このとき、制御トランジスタTS1およびTS2は高スレッシュホールドであるため、この下流に接続された低スレッシュホールド回路20が低スレッシュホールドの論理素子であっても、非動作時の消費電力の増大は起きない。これにより、この論理回路の動作遅延時間を抑えることができる。

【0032】つぎに、この低スレッシュホールド回路20によって駆動されるラッチ回路の動作を説明する。まず入力端子Dに供給されたデータは、トランスファゲートLC1に供給されるクロック信号CKおよびCKBのタイミングで取り込まれ、インバータINV3、INV4に送られる。インバータINV3は供給されるトランスファゲートLC1の出力を、制御回路10から送出され

10

20

30

40

50

る制御信号CSBおよびCSによって電源電圧の供給を受けたときに取り込む。

【0033】このインバータINV3およびINV4の出力は、ラッチ回路の出力として後段に送出されるとともにインバータINV5にも送られ、さらにこのインバータINV5の出力はトランスファゲートLC2に送られる。トランスファゲートLC2はクロック信号CKおよびCKBのタイミングで、この出力をインバータINV3の入力側に送り、取り込んだ信号をラッチする動作を行う。

【0034】ここで、高レベルの制御信号CSと、低レベルの制御信号CSBが送出された場合、トランジスタTS6およびTS5が導通状態となり、インバータINV3、INV4、INV5を構成するトランジスタおよび前述したトランスファゲートLC1およびLC2のトランジスタの動作によって、この部分は高速のDフリップフロップのマスター部として動作する。

【0035】つぎに、制御信号CSおよびCSBが非選択の時には、ランジスタTS6およびTS5は非導通状態におかれ、低スレッショルドトランジスタによって構成されたCMOSインバータINV3は、非導通の状態となっている。しかし、このインバータINV3と並列接続された高スレッショルドのトランジスタによって構成されたインバータINV4およびINV5と、トランスファゲートLC2がデータを保持しているため、ラッチ回路のデータは破壊されない。

【0036】また、このラッチ回路は、高スレッショルドのトランジスタTS6およびトランジスタTS5を介して電源線PL1、PL2に接続されているため、非動作時の消費電力の増大はないことになる。

【0037】図2は本発明と従来の論理回路の効果を示す特性図である。同図において、横軸は電源電圧VDDを示し、縦軸は遅延時間tpdを示す。特性aは図1に示されるような論理回路を用いたときの遅延時間と電源電圧の関係を示し、特性bは本発明による論理回路を用いたときの遅延時間と電源電圧の関係を示している。電源電圧が1Vの時には本発明の論理回路を用いると、非動作時の消費電力を増加させることなく、従来の論理回路に比較して遅延時間を50パーセント削減することができることがわかる。

【0038】以上述べたように本発明の論理回路を用いれば、スレッショルド電圧の小さいトランジスタを用いるため電源電圧が低下しても高速化でき、さらに非動作時には、スレッショルド電圧の大きいトランジスタで論理回路を非導通状態にできるため消費電力を削減できる等の効果を奏する。

【0039】図3はさらに本発明の論理回路、特に後段のラッチ回路の周波数特性を示しており、縦軸はラッチ回路を正常に動作させるためのクロック信号(CK)の最高周波数である最高トグル周波数を示し、横軸は電源

電圧VDDを示している。この図において、特性Pは本発明の回路を用いた場合、特性Qは従来の回路を用いた場合を示している。

【0040】図3において電源電圧が1Vの場合、本発明の回路では最高トグル周波数は500MHzとなるのに対して、従来の回路を用いた場合は100MHzであり、本発明回路を用いれば、非動作時の消費電力を増加させることなく、Dフリップフロップ回路の最高トグル周波数を5倍に上昇できることがわかる。

10 【0041】図4は本発明の他の実施例を示し、大部分は図1と同じ構成であるためこの実施例の説明に必要な部分のみを示してある。すなわち、この実施例では、疑似電源線QL1と電源線PL1、疑似電源線QL2と電源線PL2との間にコンデンサC1およびC2を接続し、これにより疑似電源線と低スレッショルド論理回路20の電源ラインとの接続部N2およびN1の電源変動を抑えるようにしたものである。

20 【0042】この容量を大きくすることによって、この回路による動作の遅延時間が短縮され、図1の実施例より高速にすることができる。この場合、コンデンサC1およびC2は実際の装置では例えば、トランジスタTS1およびトランジスタTS2のドレインと基板との間に接続される。このようにすれば、疑似電源線の太さを太くすることにより、容量増加を達成できるので特別な容量増加プロセスを必要としない。

30 【0043】図5は本発明の他の実施例を示し、特にラッチ回路の部分の変形例を示している。同図において各部の機能は図1と同じであり、レイアウトが変形されたものであるため、図1と同じ符号が用いられている。すなわち、図5ではインバータINV3と制御トランジスタTS5およびTS6の直列体が、トランスファゲートLC1の前段に配置されている。

40 【0044】このように構成すれば信号の取り込みの動作が分けられるが、図1と同様の動作をさせることができる。また、図1においてもトランスファゲートLC1の前段に図5のトランジスタTS5、インバータINV3、トランジスタTS6の直列体を設けることもあるが、そのような構成に対しては図5の構成の方がインバータが1個少ない分、遅延時間を小さくすることができる。

【0045】図6は本発明の他の実施例を示し、特に図1のラッチ回路の変形例を示す。この例では、制御トランジスタTS5およびトランジスタTS6の直列体が削除されている。このように構成しても、高スレッショルド論理回路30はラッチ回路として図1、図4と同様の動作をさせることができる。

50 【0046】図7～図8は本発明の他の実施例を示しており、特にメモリ装置に適用した場合を示している。この例ではスレッショルド電圧の小さいMOSFETから構成されたCMOS選択論理回路をカスケード接続した論理回路群のうち、後段の論理回路を疑似電源線の一

方(本例ではQL1)に接続し、その前段では論理回路と後段とは異なる疑似電源線(本例ではQL2)に接続し、これによって出力電位のフローティングを抑制するようにしたものである。

【0047】図7にはナンドゲートNAND1~NANDnおよびインバータINV21~INV2nによって構成される選択論理回路が示され、2つの入力を受けるナンドゲートNAND1~NANDnは電源端子の一端を電源線PL1に接続し、ナンドゲートNAND1~NANDnの電源端子の他端は、疑似電源線QL2に接続され、この疑似電源線QL2は制御トランジスタTS2Aを介して電源線PL2に接続されている。

【0048】ここで使用されるナンドゲートは、低スレッシュホルドのCMOSトランジスタによって構成され、図に示されるとおり、並列接続されたpチャンネル型MOSトランジスタT61およびトランジスタT62とこれらのトランジスタのソース側に直列接続されたnチャンネル型MOSトランジスタT63およびトランジスタT64とによって構成されており、トランジスタT62とトランジスタT63のゲート電極は入力端子の一つI1に共通に接続されており、トランジスタT61とトランジスタT64のゲート電極は他の入力端子I2に接続されている。

【0049】また、インバータINV21ないしINV2nは、図1に示されるインバータと同じ構成であって2個の直列接続された低スレッシュホルドのトランジスタT65およびトランジスタT66によって構成されており、トランジスタT65の出力電極の一つは疑似電源線QL1に接続され、この疑似電源線QL1は共通の制御トランジスタTS1Aを介して電源線PL1(本例では、VDD)に接続されている。また、トランジスタT66の出力電極の一つは、疑似電源線を介することなく、直接電源線PL2(本例では接地)に接続されている。

【0050】そして、ナンドゲートNAND1~NANDnにはそれぞれ2個の入力が供給され、各ナンドゲートの出力は後段の対応するインバータINV21~INV2nの入力側に接続されている。また、これらのインバータINV21~INV2nの出力は、後段の高スレッシュホルドメモリセルアレイ70の対応する各セルに、ワード線WL1~WLnとして接続されている。

【0051】メモリセルアレイ70はn×mのマトリックス状に配置されたセルによって構成され、各セルは図8に示されるように、電源線PL1とPL2との間に、直列に配置されたnチャンネルとpチャンネルの高スレッシュホルドのCMOSトランジスタT71およびトランジスタT72の直列体と、トランジスタT73およびトランジスタT74の直列体がある。

【0052】また、トランジスタT71とトランジスタT72の接続点と、トランジスタT73とトランジスタT74の接続点と、ビット線対BL、BLバーとの間に配置されるnチャンネルの高スレッシュホルドのトランジスタT

75およびトランジスタT76とを有し、トランジスタT71およびトランジスタT72の接続点と、トランジスタT73およびトランジスタT74のゲート電極と、T75の出力電極の一つとが共通に接続され、T73とT74の接続点と、トランジスタT71およびトランジスタT72のゲート電極と、トランジスタT76の出力電極の一つとが共通に接続されている。

【0053】また、トランジスタT76のもう一つの出力電極は、ビット線BLおよびマルチプレクサMUXに接続され、トランジスタT75のもう一つの出力電極もビット線BLB(BLバー)およびマルチプレクサMUXに接続されている。ワード線WLはトランジスタT76、T75のゲート電極に接続されている。

【0054】そして、ワード線WLに高レベルの信号が与えられると、トランジスタT71とトランジスタT72の接続点の電位、トランジスタT73とトランジスタT74の接続点の電位が信号として取り出され、マルチプレクサMUXによりこの入力が1(エル)個に絞られ、この絞られた1(エル)個のマルチプレクサ出力D0~D1が後段の読み出し回路80に送られる。

【0055】この読み出し回路80も前述した選択論理回路60と同様に2段構成になっており、メモリセルアレイ70のマルチプレクサ出力D0~D1が供給されるインバータINV31~INV31(エル)の電源端子の一つは、疑似電源線QL1に接続された後、制御トランジスタTS1Bを介して電源線PL1(本例ではVDD)に接続され、インバータINV31~INV31(エル)のもう一つの電源端子PL2(本例では接地)に接続されている。

【0056】また、インバータINV31~INV31(エル)の出力を受けるインバータINV41~INV41(エル)の電源端子の一つは、疑似電源線QL2に接続された後、制御トランジスタTS2Bを介して電源線PL2(本例では接地)に接続され、インバータINV41~INV41(エル)のもう一つの電源端子PL1(本例ではVDD)に接続されている。

【0057】このような構成を有する選択論理回路60の動作非選択時の動作を説明する。この場合、選択論理回路60の前段のナンドゲートNAND1~NANDnを制御する制御トランジスタTS2Aに印加される制御信号が低電位であるため、トランジスタTS2Aは、オフ状態にある。そして、ナンドゲートの入力端子I1およびI2は、非選択状態であるため低電位におかれ、トランジスタT61およびT62が導通状態となり、疑似電源線QL2はVDDの高電位におかれる。

【0058】また、このとき後段のインバータ回路、たとえばインバータINV21では、制御トランジスタTS1Aに印加される制御信号CSBが高電位にあるため、制御トランジスタTS1Aは、非導通状態におかれる。このときトランジスタT66はオン状態にあるため、このイ

ンパータの出力は、低電位になる。この結果、前述した例と同様に、論理回路の動作選択時の高速動作および非動作時における低消費電力化を図ることができる。

【0059】なお、本実施例ではナンドゲート側の制御トランジスタを低電位側に、インパータ側の制御トランジスタを高電位側に配置してあるが、逆にナンドゲート側の制御トランジスタを高電位側に、インパータ側の制御トランジスタを低電位側に配置してもよいことはもちろんである。また、ここで使用された論理回路素子以外の論理回路素子を使用してこの選択論理回路を構成することも当業者であれば容易に考えられるところである。

【0060】また、論理回路の段数も2段に限定されず、さらに段数を増やした構成にすることもできることは容易に類推できるであろう。この段数を増やす場合には前段の論理回路では、その後段とは異なる（逆極性）の電源と論理回路の間にだけ、高スレッシュホールドのMOSFETを直列に接続するように、順次高スレッシュホールドMOSトランジスタを挿入する電源の極性（高電位あるいは低電位）を決定すればよい。

【0061】また、読み出し回路は80も上述した選択読み出し回路と同様に2段構成であり、マルチプレクサMUXの出力が供給される前段は、低スレッシュホールドのトランジスタによって構成されたインパータINV31～INV31（エル）に、高スレッシュホールドの制御トランジスタTS1Bに供給される制御信号CSBの有無によって電力供給を制御するようにしている。

【0062】これらのインパータINV31～INV31（エル）の出力側に配置されるインパータINV41～INV41（エル）への疑似電源線QL2を介しての電力供給を高スレッシュホールドの制御トランジスタTS2Bに供給される制御信号CSBの有無によって制御するようにしており、このように構成することによって前述した例と同様に、論理回路の動作選択時の高速動作および非動作時における低消費電力化を図ることができる。

【0063】図9は本発明のさらに他の実施例を示し、特に本発明をメモリ装置に適用した場合を示している。本例では、論理ブロック100は従属接続された複数のCMOSインパータINV50によって構成され、これらのインパータINV50の電源は、疑似電源線QL1およびQL2に、ノードN1およびノードN2で接続されている。

【0064】これらの疑似電源線は制御トランジスタTS1およびトランジスタTS2を介してそれぞれ電源線PL1およびPL2に接続されている。前述した各部の機能は前述した実施例と同じであるため、同じ記号で示してある。このような基本構成の論理回路をメモリ装置に使用した例を図10に示す。

【0065】図10はスタンダードセルのメモリ装置のレイアウトを示している。このメモリ装置は、スタンダードセルSL1～SL(n+1)により構成され、各スタンダ

ードセルにそれぞれ一つの論理ブロック100が対応している。したがって、スタンダードセル1～nは、論理回路ブロック1001～100nからなる論理回路群であり、スタンダードセル(n+1)は制御トランジスタブロック110（図1のトランジスタTS1およびトランジスタTS2に対応）に対応する。

【0066】この例では、制御トランジスタブロック110は論理回路群の右側に隣接して配置されている。また、同図において論理ブロックのスタンダードセルのnチャンネルMOSトランジスタ、pチャンネルMOSトランジスタ内の拡散層120および121にはスレッシュホールド制御マスクは含まれていない。

【0067】なお、本実施例ではスレッシュホールド制御マスクを高スレッシュホールドに用いたが、低しきい値に用いてもよいことはもちろんである。各スタンダードセルは基板固定されている電源線x1およびx2（これまでの実施例のPL1およびPL2に対応）および疑似電源線y1およびy2（これまでの実施例のQL1およびQL2に対応）とそれぞれ接続され、スタンダードセル内の配線は、トランジスタのゲートに用いるポリシリコン配線となっている。

【0068】論理回路群は疑似電源線y1およびy2と、電源線x1およびx2を介して配線幅の大きい疑似電源線から電力が供給される。また、各論理解路を構成するトランジスタの基板電位は、電源線PL1およびPL2から印加されている。またスタンダードセル(n+1)の制御ブロックは、スレッシュホールド制御マスク125を各制御トランジスタTS1およびTS2毎に有する。

【0069】これらの制御トランジスタTS1およびTS2は、論理回路群と同様に電源線x1およびx2を介して疑似電源線y1、y2に電圧を印加する。

【0070】このような構成において、制御信号CSおよびCSBが選択された場合、制御トランジスタTS1およびTS2は導通状態となり、疑似電源線y1およびy2に電源電圧が印加される。このとき、論理回路群のインパータブロックINV50を構成するトランジスタのスレッシュホールド電圧は制御トランジスタよりも小さく、しかも疑似電源線y1およびy2には各トランジスタのソース容量が付加されるのでその寄生容量が大きい。このため、この部分の電圧降下が小さく、高速でインパータ、すなわち論理回路群を動作させることができる。

【0071】また、制御信号CSおよびCSBが非選択時の場合には、制御トランジスタは非導通状態となり、疑似電源線y1およびy2に電源電圧が供給されず、論理回路群を構成するインパータINV50は非動作状態におかれる。このとき、制御トランジスタTS1およびTS2のスレッシュホールド電圧は、インパータ回路を構成する内部トランジスタに比較して大きく設定されているので、制御トランジスタTS1およびTS2の非導通状態において流れる電流が非常に小さく、非動作時の消費電力の

増大はない。

【0072】また、この実施例のスタンダードセルのレイアウトは、制御トランジスタを論理回路群のはしに配置するだけでよいので、回路規模が大きくなるほど、従来のスタンダードセル方式に較べて占有面積を削減できる。

【0073】なお、この実施例では制御トランジスタブロックを論理回路ブロック群の右端に配置したけれども、他の場所、たとえば左端、上部、あるいは下部に配置するようにしてもよい。

【0074】図11は図10の実施例の効果を示す特性図であり、縦軸は論理回路ブロックの占有面積を示し、横軸はスタンダードセルの数を示している。同図において、特性eは従来形式の回路構成による占有面積であり、特性fは本発明の回路構成による占有面積を示す。ここでは従来のスタンダードセルを10個で実現した場合の占有面積で規格化したものである。この特性に示すように、従来の形式に較べて占有面積を約1/2に削減できることがわかる。

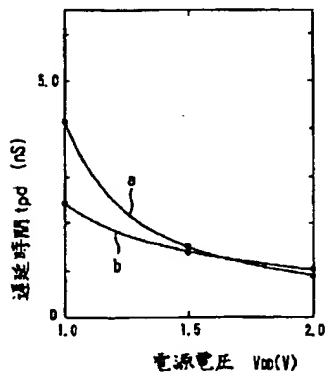
【0075】

【発明の効果】以上説明したように本発明は、低スレッショルドトランジスタを使用した論理回路に、高スレッショルドトランジスタを介して電源を供給するようにしたので、閾値識別は高スレッショルドトランジスタで行えるため、低スレッショルドトランジスタの閾値を下げなくてもすみ、論理回路の遅延時間を小さくできる。また、高スレッショルドトランジスタがオフになっているときは低スレッショルドトランジスタに電流が流れないので、リーク電流が少なくなる。このため、1V程度の低電圧で動作させることが可能になると

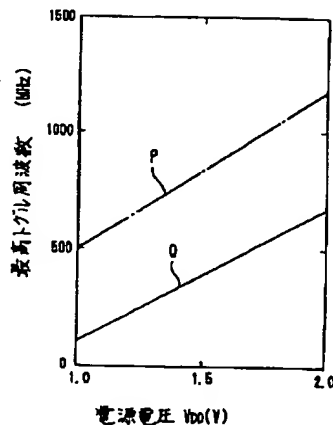
【図面の簡単な説明】

【図1】本発明による論理回路の実施例を示す系統図である。

【図2】



【図3】



【図2】図1の本発明の実施例と従来のものの電源電圧－遅延時間特性を示す特性図である。

【図3】図1の本発明の実施例と従来のものの電源電圧－最高トグル周波数特性を示す特性図である。

【図4】本発明の変形例を示す系統図である。

【図5】本発明の変形例を示す系統図である。

【図6】本発明のさらに他の実施例を示す系統図である。

【図7】本発明のさらに他の実施例を示す系統図である。

【図8】図7のメモリセルの具体例を示す回路図である。

【図9】本発明のさらに他の実施例を示す系統図である。

【図10】図10の構成のものを実際のメモリセル構造に適用した場合の実施例を示す図である。

【図11】図11の実施例と従来のスタンダードセル数－論理回路のブロックの占有面積特性を示す特性図である。

20 【図12】従来の論理回路の例を示す系統図である。

【符号の説明】

10 制御回路

20 低スレッショルド論理回路

30 高スレッショルド論理回路

100 論理回路群

110 制御回路ブロック

PL1, PL2 電源線

QL1, QL2 疑似電源線

CK, CKB クロック信号

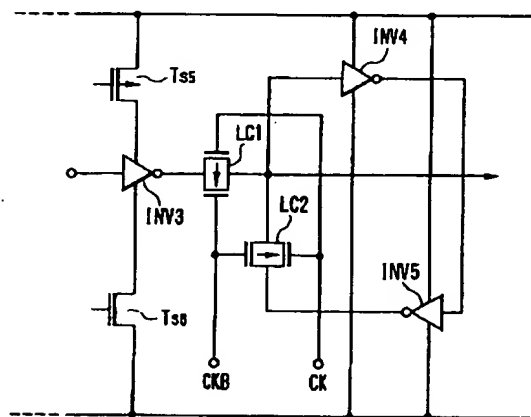
CS, CSB 制御信号

LC1, LC2 アナログスイッチ

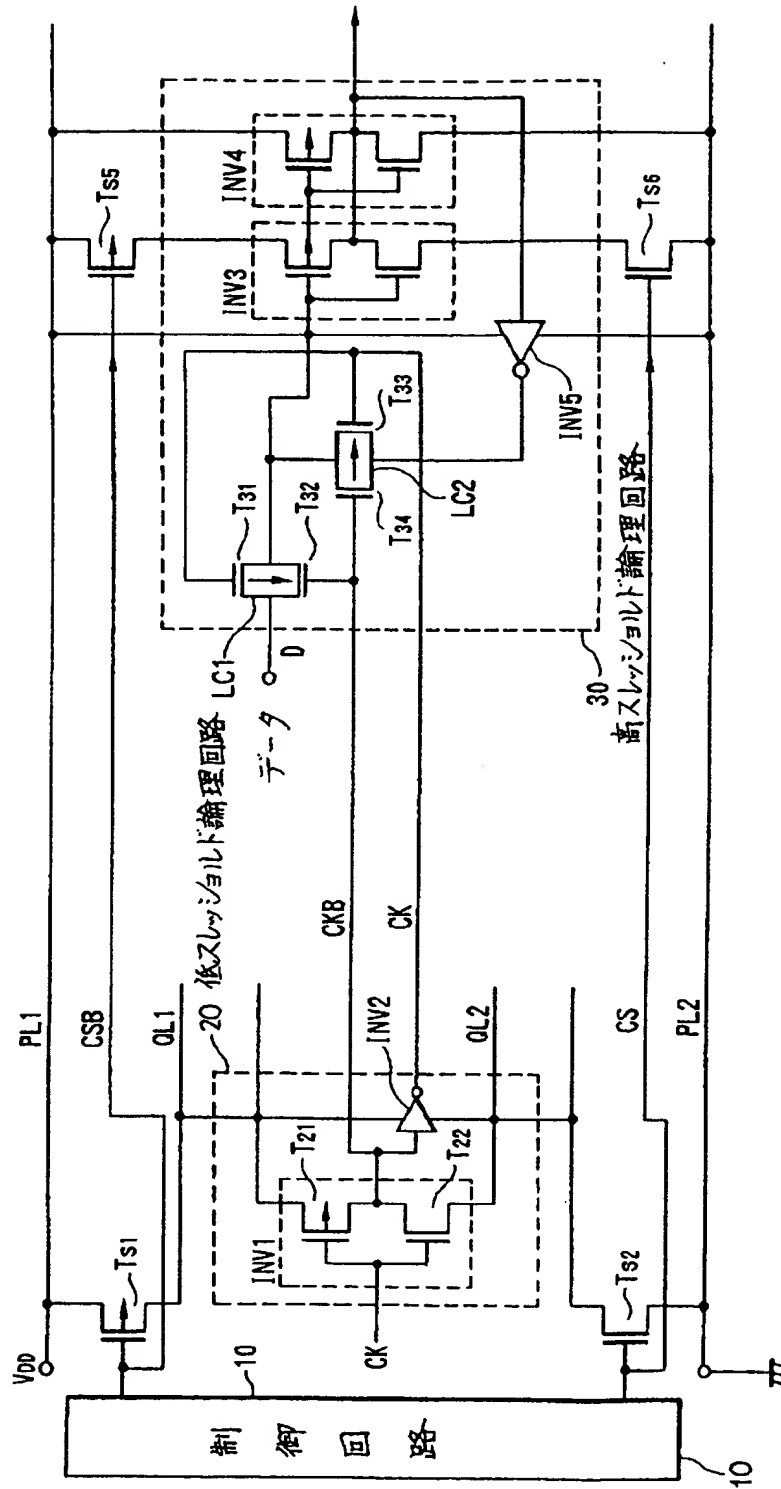
MUX マルチプレクサ

SL スタンダードセル

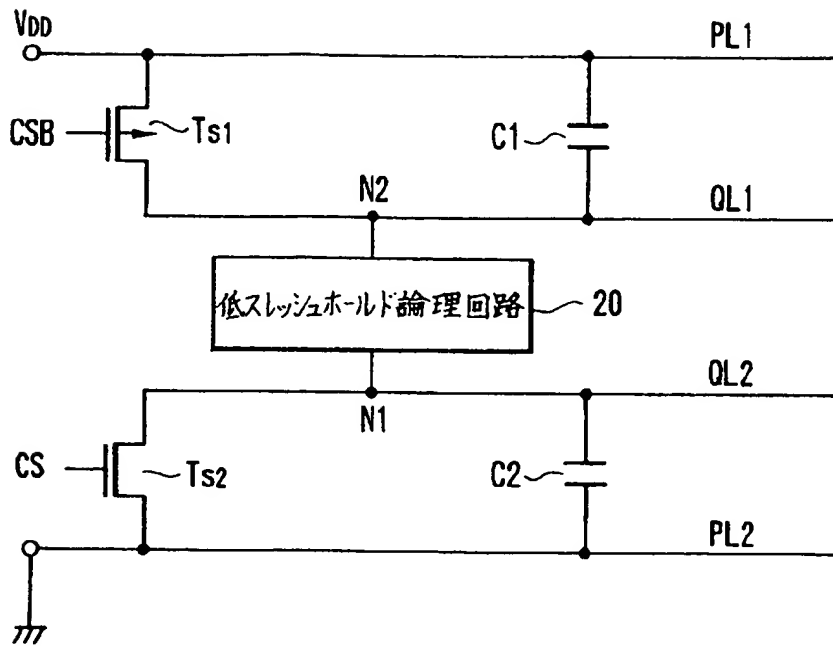
【図5】



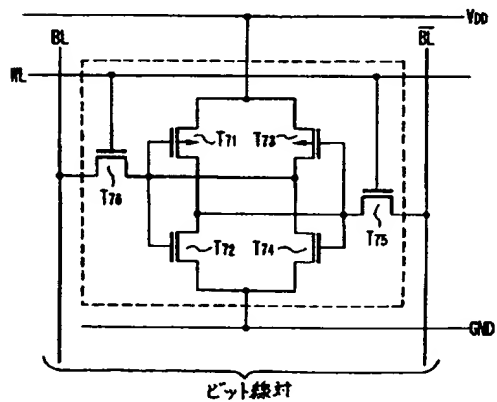
【図1】



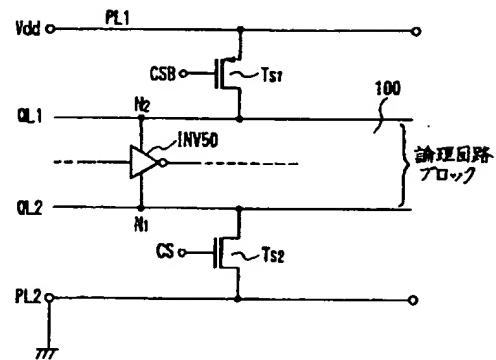
【図 4】



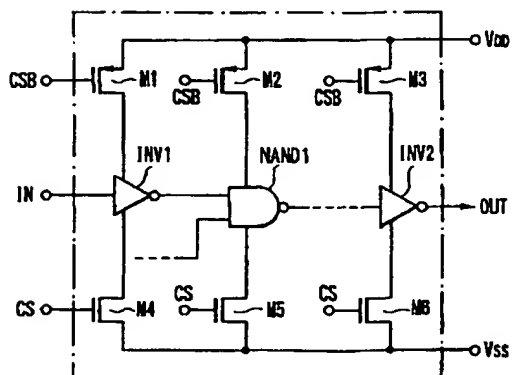
【図 8】



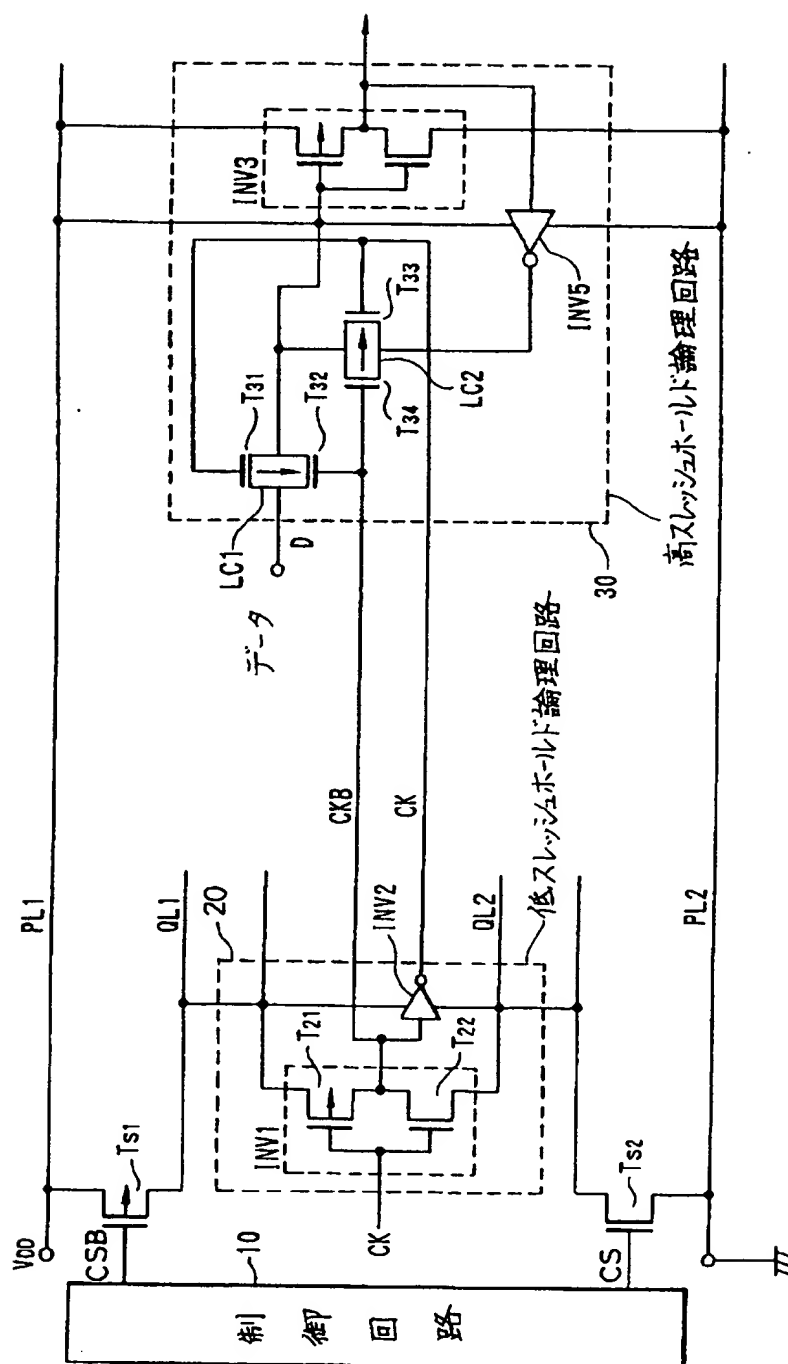
【図 9】



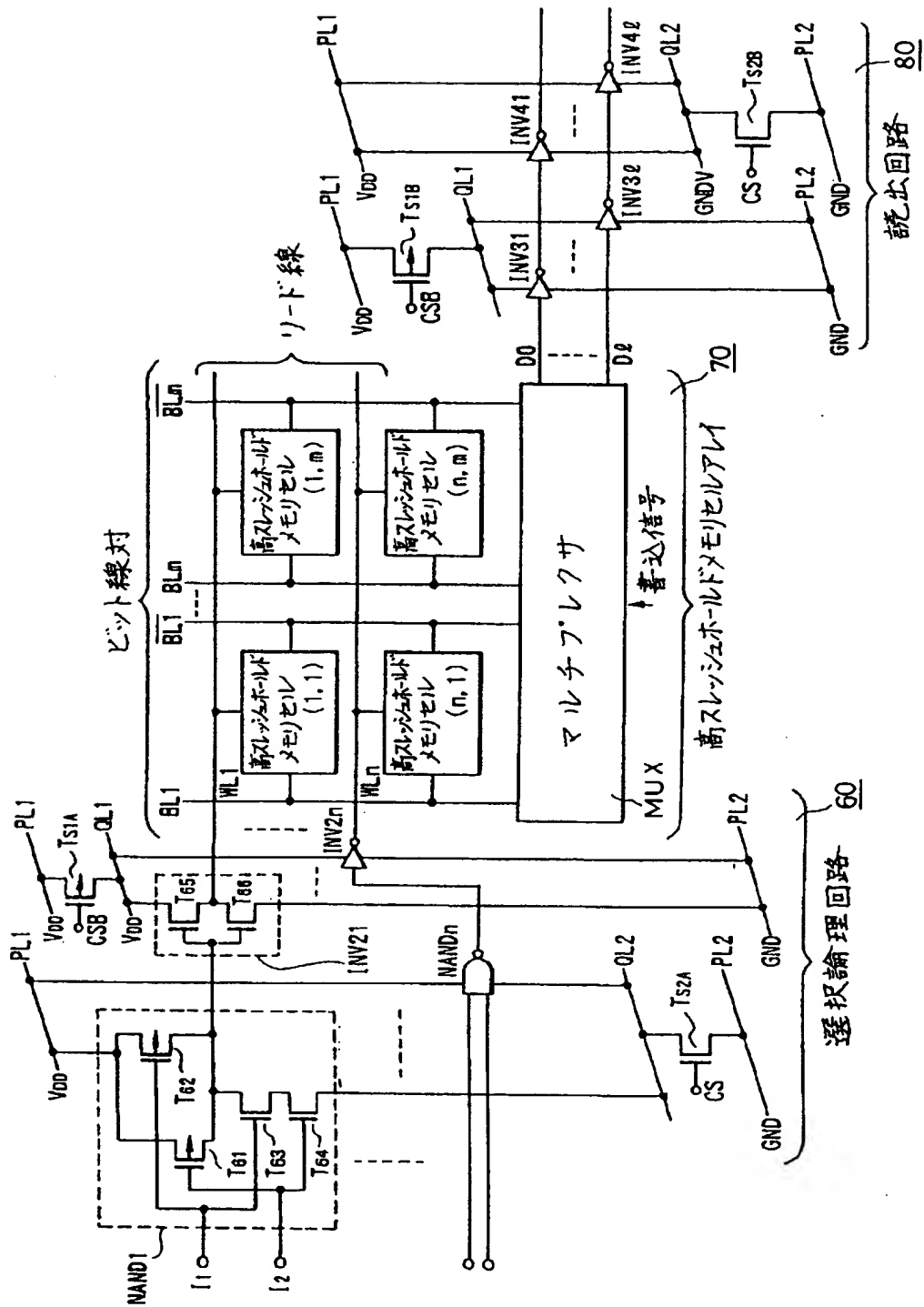
【図 12】



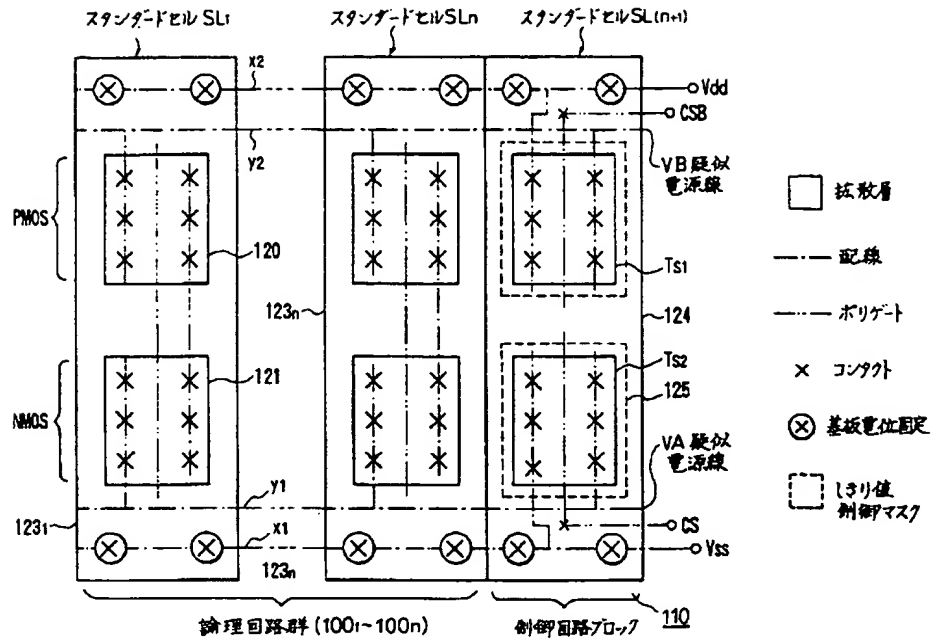
【図 6】



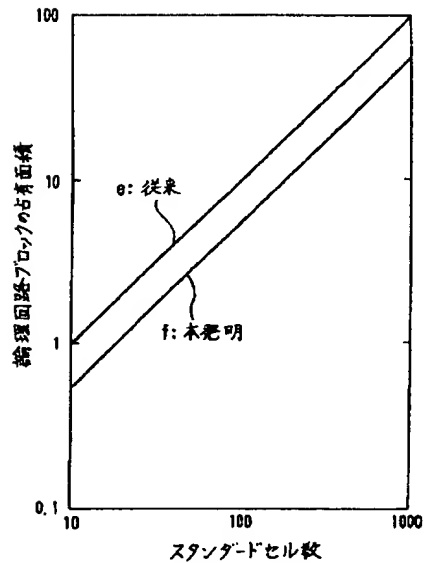
【図7】



【図 10】



【図 11】



フロントページの続き

(31) 優先権主張番号 特願平4-14537
 (32) 優先日 平 4 (1992) 1 月 30 日
 (33) 優先権主張国 日本 (J P)

(72) 発明者 武藤 伸一郎
 東京都千代田区内幸町 1 丁目 1 番 6 号 日
 本電信電話株式会社内